

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-351039

(43)Date of publication of application : 04.12.1992

(51)Int.Cl.

H04L 12/48
H04L 7/08

(21)Application number : 03-152497

(71)Applicant : NEC CORP

(22)Date of filing : 28.05.1991

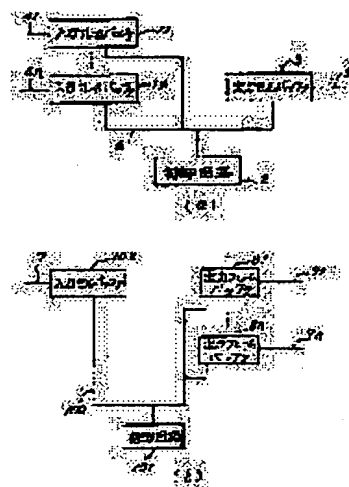
(72)Inventor : MATSUMOTO TAKASHI

(54) CELL COMPOSITION SYSTEM

(57)Abstract:

PURPOSE: To give a sequence number at the cell assembling circuit to facilitate the processing of a cell disassembling circuit.

CONSTITUTION: When a frame is written from an input line 41 to an input frame buffer 11, a control circuit 2 discriminates a length of a frame (M bytes) read and inputted via a control bus 6. A required cell number N is calculated based on the length and a length (44 bytes) of an information section of a cell stored in advance. An input frame is blocked from the head for each of 44 bytes to generate the cell, and a sequence number of (N-i+1) is given to an i-th cell. The generated cell is written in an output cell buffer 3 via a control bus 6. The cell is generated till the cell generation by one frame is finished. A cell written in the buffer 3 is outputted sequentially to a cell output line 5 at a predetermined speed. A cell disassembling circuit writes the cell inputted from a cell input line 7 to an input cell buffer 102 and to which of frame output lines 91-9n the cell is outputted is discriminated based on the content of an ATM header and the cell is written in a relevant output frame buffer (any of 81-8n).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-351039

(43)公開日 平成4年(1992)12月4日

(51)Int.Cl.⁴

H 0 4 L 12/48

7/08

識別記号

庁内整理番号

F I

技術表示箇所

Z 8949-5K

8529-5K

H 0 4 L 11/ 20

Z

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-152497

(22)出願日

平成3年(1991)5月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松本 隆

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 菅野 中

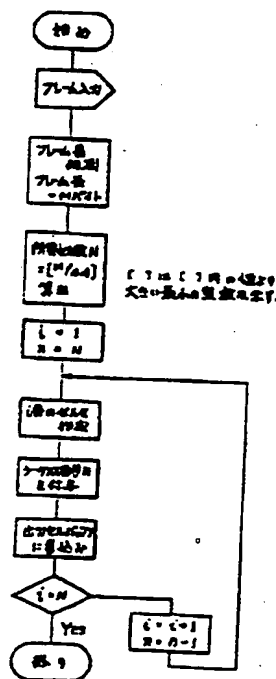
(54)【発明の名称】 セル組立方式

(57)【要約】

【目的】 セル分解回路の処理を容易とするために、セル組立回路で付与するシーケンス番号の付与に関する新しいセル組立方式を提供する。

【構成】 セル組立回路の制御部は、入力された上位レイヤフレームのフレーム長を判別し、そのフレームの転送に必要なセル数を算出し、セルに付与するシーケンス番号を、先頭セルは必要セル数の値とし、後続セルは順に1減じた値とする。

【効果】 これにより、セルを受信するセル分解回路では先頭セルのシーケンス番号の値を見るだけでそのセルが関するフレームの全セル数がわかり、セル分解回路内のリソース確保を行うことができ、制御の容易化が図れる。



【特許請求の範囲】

【請求項1】 上位レイヤのフレームを1つ又は複数の非同期転送モード(ATM)のセルに組立て、セルにシーケンス番号表示を付して送出するセル組立回路において、上位レイヤのフレームをセルに組立てた場合のセル数N(Nは1以上の整数)を判別する手段を設け、前記上位レイヤのフレームを収容した先頭セルのシーケンス番号をNとし、以後送出されるセル順に1を減じたシーケンス番号を付すことを特徴とするセル組立方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は非同期転送モード(ATM)通信に関し、特にセル組立方式に関する。

【0002】

【従来の技術】 従来、この種のセル組立方式においては、上位レイヤのフレームをセルに組立てた際に、先頭セルに任意のシーケンス番号又はシーケンス番号1を付し、以後送出されるセル順に1を加えたシーケンス番号を付していた。セルを受信するセル分解回路では、シーケンス番号が先頭セルに表示されている値からセル受信順に1ずつ増加しているかをチェックして、非同期転送モードの網で発生する可能性のあるセル紛失を検出することができた。

【0003】 又、シーケンス番号のみでは最終セル(方式によっては先頭セルも)の判別ができないため、セル内にセル組立回路が「先頭セル」、「中間セル」、「最終セル」のいずれかを表示することにより、セル分解回路は受信した複数のセルの区切りを認識して上位レイヤのフレームを復元していた。

【0004】

【発明が解決しようとする課題】 上述した従来のセル組立方式では、セル分解回路でセル紛失を検出できる効果はあるが、セル分解回路は、最終セルが来るまで、受信しているセルが関与する上位レイヤのフレームを復元するのに必要な受信セル数がいくつであるか決定できなかった。

【0005】 セル分解回路においては、フレーム復元用セルバッファを設けているが、上述のように1つのフレームに関するセル数が不明であるので、セルバッファの予約ができず、1つのフレーム受信中にセルバッファ不足となって異常処理が複雑となる欠点があった。

【0006】 本発明の目的は、前記課題を解決したセル組立方式を提供することにある。

【0007】

【課題を解決するための手段】 前記目的を達成するため、本発明に係るセル組立方式においては、上位レイヤのフレームを1つ又は複数の非同期転送モード(ATM)のセルに組立て、セルにシーケンス番号表示を付して送出するセル組立回路において、上位レイヤのフレームをセルに組立てた場合のセル数N(Nは1以上の整

数)を判別する手段を設け、前記上位レイヤのフレームを収容した先頭セルのシーケンス番号をNとし、以後送出されるセル順に1を減じたシーケンス番号を付すものである。

【0008】

【作用】 本発明のセル組立方式は、上位レイヤのフレームを1つ又は複数の非同期転送モード(ATM)のセルに組立て、セルにシーケンス番号表示を付して送出するセル組立回路において、上位レイヤのフレームをセルに組立てた場合のセル数N(Nは1以上の整数)を判別し、前記上位レイヤのフレームを収容した先頭セルのシーケンス番号をNとし、以後送出されるセル順に1を減じたシーケンス番号を付すものである。

【0009】

【実施例】 次に本発明について図面を参照して説明する。

【0010】 図1(a)は本発明の一実施例のセル組立回路を示すものである。図において、入力フレームバッファ11~1nは、図示していない上位レイヤを司る回路からのフレーム入力線41~4nを入力とし、出力セルバッファ3は図示していない下位レイヤを司る回路へのセル出力線5を出力とする。制御回路2は制御バス6を介して入力フレームバッファ11~1nと出力セルバッファ3と接続される。

【0011】 図1(b)は本発明の一実施例のセル分解回路を示すものである。入力セルバッファ102は図示していない下位レイヤを司る回路からのセル入力線7を入力とし、出力フレームバッファ81~8nは図示していない上位レイヤを司る回路へのフレーム出力線91~9nを出力する。制御回路101は制御バス100を介して入力セルバッファ102と出力フレームバッファ81~8nと接続される。

【0012】 図2は、図1(a)におけるフレーム入力線41~4n、及び図1(b)におけるフレーム出力線91~9nを介して伝達されるレイヤ2フレームのフォーマットである。例えば、CCITT勧告Q、921に規定されるLAPDフレームであり、フラグ、アドレスフィールド、制御フィールド、情報フィールド及びフレームチェックシーケンスフィールドから構成される。図3は、図1(a)におけるセル出力線5、及び図1(b)におけるセル入力線7を介して伝達されるセルのフォーマットである。例えば、CCITT、1990年勧告案で規定されるATMレイヤ及びアダプテーション(ADP)レイヤにしたがったものであり、ATMヘッダ、アダプテーション(ADP)ヘッダ、情報部アダプテーション(ADP)トレイラから構成される。ADPヘッダにシーケンス番号を表示する領域を有する。

【0013】 図4は図1(a)の回路動作を示すフローチャートである。図1(a)及び図4を用いて本回路の動作を説明する。

3

【0014】フレーム入力線41から入力フレームバッファ11へフレームが書込まれると、制御回路2は、制御バス6を介して読取り入力されたフレーム長（ここではMバイトとする）を判別する。この値と、予め記憶しているセルの情報部の長さ（図3に示すフォーマットでは44バイト）から、所要セル数を算出する。例えば、入力フレーム長が50バイトの場合、 $[50/44] = 2$ となり、所要セル数は2である。以下所要セル数をNとする。

【0015】次に入力フレームを先頭から44バイト毎に区切りセルを作成するが、1番目のセルには(N-1+1)というシーケンス番号を付与する。上述の例で所要セル数2の場合は、1番目のセルにシーケンス番号2を、2番目のセルにシーケンス番号1を付与する。そして、作成されたセルを制御バス6を介して出力セルバッファ3に書込む。1フレーム分のセル作成を終了するまでセル作成を行う。

【0016】なお、出力セルバッファ3に書込まれたセルはあらかじめ決められた速度でセル出力線5に順次出力される。

【0017】図1(b)のセル分解回路においては、セル入力線7から入力されるセルは入力セルバッファ102に書き込まれるが、フレーム出力線91~9nのいずれに出力すべきかを図3で示したATMヘッダの内容で判別し、該当の出力フレームバッファ(81~8nのいずれか)にセルを書込む。このときに、先頭セルのシーケンス番号を見てこのセルの関与するフレームの所要セル数を判別し、出力フレームバッファに所要セル数分のバッファを予約する。従って、該フレームに関わる後続セルは出力フレームバッファ81~8nの1つに必ず書き込むことができ、出力フレームバッファのオーバフロ

ーは発生しない。

【0018】

【発明の効果】以上説明したように本発明は、セル組立回路において、シーケンス番号の付与を上位フレーム転送のために必要なセル数を先頭セルのシーケンス番号とすることにより、受信側のセル分解回路で先頭セルのシーケンス番号の値で受信のためのバッファ等のリソース予約ができ、リソース不足等の異常処理を行う必要がなく、セル分解回路の制御を簡単化する効果がある。

10 【図面の簡単な説明】

【図1】(a)は本発明の一実施例であるセル組立回路の構成図、(b)はセル分解回路の構成図である。

【図2】上位レイヤフレームフォーマットを示す図である。

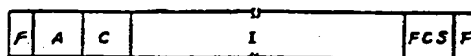
【図3】セルフォーマットを示す図である。

【図4】セル組立回路の動作を示すフローチャートである。

【符号の説明】

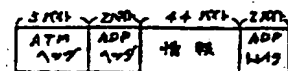
- 11~1n 入力フレームバッファ
- 20 2 制御回路
- 3 出力セルバッファ
- 41~4n フレーム入力線
- 5 セル出力線
- 6 制御バス
- 7 セル入力線
- 81~8n 出力フレームバッファ
- 91~9n フレーム出力線
- 100 制御バス
- 101 制御回路
- 30 102 入力フレームバッファ

【図2】

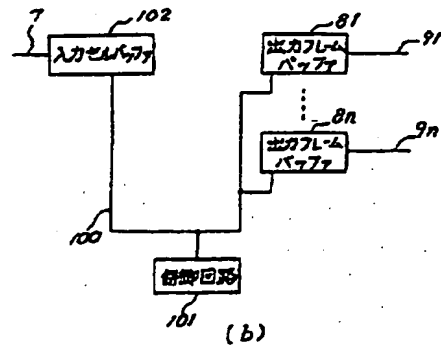
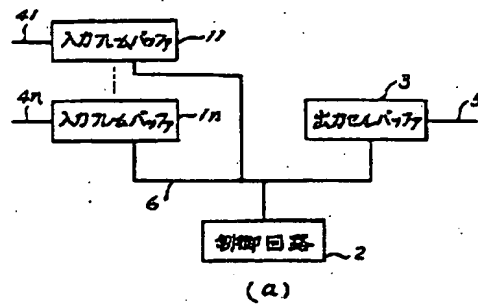


F: フラグ A: アドレスフィールド
C: 制御フィールド I: 情報フィールド
FCS: フレームチェックシーケンスフィールド

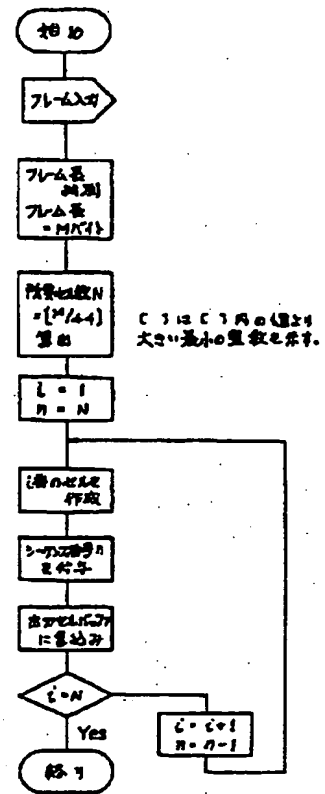
【図3】



【図1】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.